

(19).



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10106278 A**

(43) Date of publication of application: **24 . 04 . 98**

(51) Int. Cl. **G11C 16/02**
G11C 16/06

(21) Application number: **09249124**

(22) Date of filing: **12 . 09 . 97**

(30) Priority: **13 . 09 . 96 KR 96 9639905**

(71) Applicant: **SAMSUNG ELECTRON CO LTD**

(72) Inventor: **KEN SHAKUSEN**

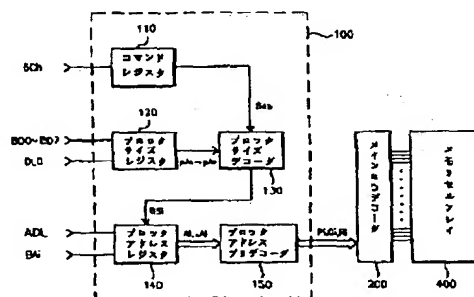
**(54) SEMICONDUCTOR MEMORY HAVING VARIABLE
ERASE BLOCK SIZE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which erase operation can be effected by varying the predetermined erase block size of an electrically rewritable nonvolatile semiconductor memory.

SOLUTION: Address of a block to be erased is applied to a block address register 140 and information corresponding to a varied erase block size, obtained by decoding data corresponding to an externally applied erase block size through a block size decoder 130, is applied to the block address register 140. Address of the varied erase block is outputted from the block address register 140 and decoded in order to select a cell block in a memory cell array 400.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-106278

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.⁶G11C 16/02
16/06

識別記号

FI

G11C 17/00

612

F

633

E

審査請求 未請求 請求項の数10 O L (全10頁)

(21)出願番号 特願平9-249124

(22)出願日 平成9年(1997)9月12日

(31)優先権主張番号 1996P-39905

(32)優先日 1996年9月13日

(33)優先権主張国 韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 権 錫 千

大韓民国ソウル特別市松波区新川洞20-4

珍珠アパート12棟908号

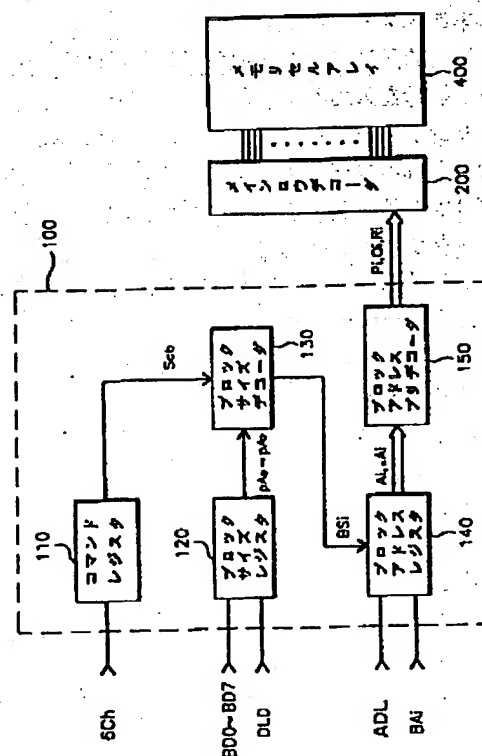
(74)代理人 弁理士 萩原 誠

(54)【発明の名称】 消去ブロックサイズを可変させることができる半導体メモリ装置

(57)【要約】

【課題】 電氣的に書換えができる不揮発性半導体メモリ装置の定められている消去ブロックサイズを可変させ、消去動作を遂行することができる半導体メモリ装置を提供すること。

【解決手段】 消去するブロックのアドレスをブロックアドレスレジスタ140に印加するとともに、外部から印加される消去ブロックサイズに対応したデータをブロックサイズデコーダ130でデコーディングすることにより得られた、可変された消去ブロックサイズに対応した情報を前記ブロックアドレスレジスタ140に印加することにより、可変された消去ブロックのアドレスをブロックアドレスレジスタ140から出力し、このアドレスをデコーディングして、その出力でメモリセルアレイ400のセルブロックを選択する。



【特許請求の範囲】

【請求項1】 外部からのコマンド信号によって消去モード命令信号を発生し、かつ外部から印加される消去ブロックサイズに対応したデータとアドレスを入力して消去ブロックサイズを変え、可変された消去ブロックサイズに対応したプリデコーディング信号を出力する消去ブロックサイズ可変回路と、

前記消去ブロックサイズ可変回路から印加される可変された消去ブロックサイズに対応したプリデコーディング信号をデコーディングするメインロウデコーダと、列と行方向に多数のメモリセルが配列され、多数のメモリセルが列方向に分割された多数のメモリブロックを備え、前記メインロウデコーダから出力されるデコーディング信号によって多数のメモリブロック中、該当するメモリブロックが選択されるメモリセルアレイとを具備することを特徴とする消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項2】 前記メインロウデコーダは、前記メモリセルアレイ内の前記メモリブロックに対応して配列される多数のロウデコーダを有し、各ロウデコーダは、前記消去ブロックサイズ可変回路の出力信号中、該当する出力信号を入力してデコーディングするデコーディング手段と、前記デコーディング手段の出力信号によって前記メモリセルアレイ内のメモリブロック中、該当するメモリブロックの該当ワードラインを選択するためのバストランジスタ手段と、プログラム動作時に前記ワードラインに高電圧を印加するためのチャージポンプ手段とからなることを特徴とする請求項1に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項3】 前記消去ブロックサイズ可変回路は、前記コマンド信号を入力して前記消去モード命令信号を出力するコマンドレジスタと、外部から印加されるロード信号によって外部から印加される消去ブロックサイズに対応したデータを入力して貯蔵するブロックサイズレジスタと、前記ブロックサイズレジスタから出力される消去ブロックサイズに対応したデータを前記コマンドレジスタからの消去モード命令信号によって入力し、デコーディングし、デコーディングした可変された消去ブロックサイズに対応した情報を出力するブロックサイズデコーダと、外部からのロード信号によって、外部から印加される消去するブロックのアドレスを入力して貯蔵し、かつ前記ブロックサイズデコーダからの可変された消去ブロックサイズに対応した情報を入力して、前記メモリセルアレイの可変された消去ブロックのアドレスを出力するブロックアドレスレジスタと、前記ブロックアドレスレジスタからの可変された消去ブロックのアドレスをプリデコーディングして前記インロ

ウデコーダに出力するブロックアドレスプリデコーダとからなることを特徴とする請求項1に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項4】 前記ブロックサイズレジスタは、外部から印加されるロード信号とブロックサイズデータの各1つとを入力する複数の2進カウンタと、前記各2進カウンタの出力を反転させ、消去ブロックサイズに対応したデータを出力するための複数のインバータとで構成されることを特徴とする請求項3に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項5】 前記ブロックサイズデコーダは、前記コマンドレジスタから消去モード命令信号が印加されると、前記ブロックサイズレジスタからのブロックサイズデータを入力し、ブロックサイズデータをデコーディングし、消去ブロックサイズに対応したデコーディング信号を発生する複数のデコーディング手段からなることを特徴とする請求項3に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項6】 各デコーディング手段は、ブロックサイズに対応したデータ中、下位4ビットのデータを入力する第1ナンドゲートと、ブロックサイズに対応したデータ中、上位4ビットのデータを入力する第2ナンドゲートと、前記コマンドレジスタからの消去モード命令信号を反転させる第1反転ゲートと、前記第1ナンドゲート、前記第2ナンドゲート及び前記第1反転ゲートの出力を入力する第1ノアゲートと、前記第1ノアゲートの出力と次の段のデコーディング手段のデコーディング信号を入力する第2ノアゲートと、前記第2ノアゲートの出力を反転させ、消去ブロックサイズに対応したデコーディング信号を出力する第2反転ゲートから構成されることを特徴とする請求項5に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項7】 前記ブロックアドレスレジスタは、外部から印加されるブロックアドレス信号を外部から印加されるアドレスロード信号によって貯蔵し、前記ブロックサイズデコーダからのデコーディング信号による消去ブロックアドレスを出力する複数のレジスタ手段からなることを特徴とする請求項3に記載の消去ブロックサイズを変えさせることができる半導体メモリ装置。

【請求項8】 前記各レジスタ手段は、消去ブロックアドレス信号の各1つを外部からのアドレスロード信号によって入力する2進カウンタと、前記2進カウンタの出力を反転させるための第1反転ゲートと、前記第1反転ゲートの出力と前記ブロックサイズデコーダからのデコーディング信号を入力する第1ノアゲートと、

前記 2 進カウンタの出力と前記ブロックサイズデコーダからのデコーディング信号を入力する第 2 ノアゲートと、

前記第 1 ノアゲートと前記第 2 ノアゲートの出力を各々反転させ、消去ブロックアドレス信号と反転消去ブロックアドレス信号を各々出力する第 3 反転ゲート及び第 4 反転ゲートで構成されることを特徴とする請求項 7 に記載の消去ブロックサイズを可変させることができる半導体メモリ装置。

【請求項 9】 前記ブロックアドレスプリデコーダは、前記ブロックアドレスレジスタから出力されるアドレス信号中、下位 3 ビットのアドレス信号を入力してプリデコーディングし、プリデコーディング信号をメインロウデコーダに出力する複数のプリデコーディング手段からなることを特徴とする請求項 3 に記載の消去ブロックサイズを可変させることができる半導体メモリ装置。

【請求項 10】 前記各プリデコーディング手段は、前記ブロックアドレスレジスタから出力されるアドレス信号中、下位 3 ビットのアドレス信号を入力してナンド論理し、ナンド論理ナンドした値をプリデコーディング信号としてメインロウデコーダに出力する複数のナンドゲートを具備することを特徴とする請求項 9 に記載の消去ブロックサイズを可変させることができる半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ装置、詳しくは電氣的に書換えが可能な不揮発性半導体メモリ装置に関するものであり、特に設計時に既に定められている消去ブロックサイズを可変させ、消去動作を遂行することができる EEPROM に関するものである。

【0002】

【従来の技術】 不揮発性半導体メモリ装置の書換え動作において、消去動作は、プログラム動作より長時間が要求されるので、消去動作を行う時、一定数数のメモリセルを基本単位（以下、ブロックと言う）として同時にメモリセルに対して情報の消去動作を遂行することによって、遅い消去動作を改善した。この消去ブロックは、半導体メモリ装置の設計時に既にその大きさが定められ、一度定められた消去ブロックの大きさは通常変更が不可能であった。消去ブロックの大きさは、一回で消去可能なメモリセルの数に相当する。

【0003】

【発明が解決しようとする課題】 これによって、不揮発性半導体メモリ装置において、消去しなければならないメモリセルの数、すなわちブロックの大きさが、設計時に既に定められているブロックの大きさより大きい場合は、一回の消去動作ですべてのメモリセルのデータを消去することが不可能な問題点があった。そして、一回の消去動作を遂行することには長期間が必要とされるの

で、消去しなければならないメモリセルの数が多ければ多いほど消去動作を遂行することに多くの時間が必要とされる。これは全般的な半導体メモリ装置の遂行能力を低下させる要因になる。

【0004】 そこで、本発明の目的は、設計時に既に定められている消去ブロックサイズを任意に可変させて消去動作を遂行することによって、消去動作に必要とされる時間を最少化し、全体的な素子の遂行能力を向上させることができる半導体メモリ装置を提供することにある。

【0005】

【課題を解決するための手段】 上記の課題を解決し、上記の目的を達成するために本発明は、外部からのコマンド信号によって消去モード命令信号を発生し、かつ外部から印加される消去ブロックサイズに対応したデータとアドレスを入力して消去ブロックサイズを可変させ、可変された消去ブロックサイズに対応したプリデコーディング信号を出力する消去ブロックサイズ可変回路と、この消去ブロックサイズ可変回路から印加される可変された消去ブロックサイズに対応したプリデコーディング信号をデコーディングするメインロウデコーダと、列と行方向に多数のメモリセルが配列され、多数のメモリセルが列方向に分割された多数のメモリブロックを備え、前記メインロウデコーダから出力されるデコーディング信号によって多数のメモリブロック中、該当するメモリブロックが選択されるメモリセルアレイとを具備することを特徴とする消去ブロックサイズを可変させることができる半導体メモリ装置とする。

【0006】 この半導体メモリ装置において、消去ブロックサイズ可変回路は、外部からコマンド信号を入力して消去モード命令信号を出力するコマンドレジスタと、外部から印加されるロード信号によって、外部から印加される消去ブロックサイズに対応したデータを入力して貯蔵するブロックサイズレジスタと、このブロックサイズレジスタから出力される消去ブロックサイズに対応したデータを前記コマンドレジスタからの消去モード命令信号によって入力し、デコーディングし、デコーディングした可変された消去ブロックサイズに対応した情報を出力するブロックサイズデコーダと、外部からのロード信号によって、外部から印加される消去するブロックのアドレスを入力して貯蔵し、かつ前記ブロックサイズデコーダからの可変された消去ブロックサイズに対応した情報を入力して、メモリセルアレイの可変された消去ブロックのアドレスを出力するブロックアドレスレジスタと、このブロックアドレスレジスタからの可変された消去ブロックのアドレスをプリデコーディングしてメインロウデコーダに出力するプリデコーダからなることを特徴とする。

【0007】 このような本発明の半導体メモリ装置は、設計時に既に定められた消去ブロックの大きさを可変さ

せて消去動作を遂行することによって、消去動作に必要とされる時間を最少化して素子の全体的な遂行能力を向上させることができる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態を添付された図面を参照して詳細に説明する。図1は本発明の実施の形態による消去ブロックサイズを可変させることができる半導体メモリ装置のブロック図である。この図に示すように、本発明の実施の形態の消去ブロックサイズを可変させることができる半導体メモリ装置は、消去

ブロックサイズ可変回路100と、メインロウデコーダ200と、メモリセルアレイ400とからなる。

【0009】消去ブロックサイズ可変回路100は、外部からのコマンド信号6Chによって消去モード命令信号Scbが発生されると、外部から印加される消去ブロックサイズに対応したデータとアドレスを入力して消去ブロックサイズを可変させ、可変させた消去ブロックサイズを決定して、可変された消去ブロックサイズに対応したプリデコーディング信号をメインロウデコーダ200に出力する。

【0010】メインロウデコーダ200は、消去ブロックサイズ可変回路100から印加される可変された消去ブロックサイズに対応したプリデコーディング信号をデコーディングして、デコーディング信号をメモリセルアレイ400に出力する。従って、メインロウデコーダ200から出力されるデコーディング信号によってメモリセルアレイ400は、可変された消去ブロックサイズで複数のブロック中、消去されるブロックが選択され、選択されたブロックに貯蔵されたデータの消去動作が同時に遂行される。

【0011】図2はメインロウデコーダ200及びメモリセルアレイ400の詳細回路図である。この図2を参照すると、メモリセルアレイ400は、ナンド型として列と行方向のマトリクス形態に配列された複数のメモリセルで構成される。メモリセルアレイ400は、多数のメモリセルが列方向に分割された多数のメモリブロック400-1~400-nからなり、各メモリブロック400-1~400-nは行方向に配列され各ビットラインB/L1~B/Lnと共通ソースラインCSL間に接続された多数のストリングST1~STnで構成される。

【0012】各メモリブロックの各ストリングST1は、各ビットラインB/Liと共通ソースラインCSLの間に直列接続されたストリング選択トランジスタSST1、ソース選択トランジスタSST2、そしてストリング選択トランジスタSST1とソース選択トランジスタSST2の間の多数のメモリセルトランジスタM1~Mjを具備する。

【0013】各ストリングSTiにおいて、ストリング選択トランジスタSST1のドレインはビットラインB

/Liに接続され、ゲートはストリング選択ラインSSL1に共通接続され、メモリセルトランジスタM1~Mjのコントロールゲートは各々対応するワードラインS1~Sjに接続され、ソース選択トランジスタSST2のゲートはソース選択ラインSSL2に接続され、ソースは共通ソースラインCSLに共通接続される。

【0014】又、メモリセルアレイ400は、メインロウデコーダ200から出力されるデコーディング信号によって駆動され、各ストリングSTiにストリング選択ラインSSL1、ワードラインS1~Sj及びソース選択ラインSSL2を通じて該当する選択信号を印加するバストラジスタ部300-1~300-nを含む。

【0015】メインロウデコーダ200は、消去ブロックサイズ可変回路100の出力信号Pi, Qi, Riをデコーディングしてメモリセルアレイ400内のブロック400-1~400-n中、該当する消去メモリブロックを選択するためのデコーディング信号を出力する。メインロウデコーダ200は、メモリセルアレイ400内のメモリブロック数に対応して配列される多数のロウデコーダ部200-1~200-nを含む。各ロウデコーダ部200-1~200-nは、消去ブロックサイズ可変回路100の出力信号Pi, Qi, Ri中、該当する出力信号をデコーディングして最小大きさの消去ブロックを選択するためのデコーディング信号をメモリセルアレイ400内の対応する各メモリブロック400-1~400-nに出力する。

【0016】各ロウデコーダ部200-1~200-nは、消去ブロックサイズ可変回路100の出力信号Pi, Qi, Ri中、該当する出力信号を入力してデコーディングするデコーディング手段210と、このデコーディング手段210の出力信号によって、メモリセルアレイ400内のメモリブロック中、該当メモリブロックの該当ワードラインを選択するためのバストラジスタ手段220と、プログラム動作時、ワードラインに高電圧を印加するためのチャージポンプ手段230で構成される。

【0017】各ロウデコーダ部200-1~200-nのデコーディング手段210は、消去ブロックサイズ可変回路100の出力信号Pi, Qi, Ri中、該当する出力信号を入力してナンド論理するためのナンドゲート211と、このナンドゲート211の出力信号を反転させ、バストラジスタ手段220に出力するためのインバータ212で構成される。

【0018】バストラジスタ手段220は、ゲートに電源電圧(Vcc)が印加され、ドレインがデコーディング手段210のインバータ212の出力に接続されるエンハンスメントN型MOSトランジスタ221と、ゲートに電源電圧(Vcc)が印加され、ドレインが前記エンハンスメントN型MOSトランジスタ221のソースに接続され、ソースがメモリセルアレイ400の各メモリ

ブロック400-1~400-nのバストランジスタ部300-1~300-nに接続されたデプレッションN型MOSトランジスタ222で構成される。

【0019】チャージポンプ手段230は、半導体メモリ装置に使用される通常のチャージポンプ回路である。

【0020】消去ブロックサイズ可変回路100は、図1に示すように、コマンドレジスタ110、ブロックサイズレジスタ120、ブロックサイズデコーダ130、ブロックアドレスレジスタ140、ブロックアドレスプリデコーダ（以下、単にプリデコーダと言う）150で構成される。コマンドレジスタ110は、外部からコマンド6Chを入力して消去モード命令信号Scbを出力する。ブロックサイズレジスタ120は、外部から印加されるロード信号DLDによって、外部から印加される消去ブロックの大きさに対応したデータ（ブロックサイズデータ）BD0~BD7を入力して貯蔵する。ブロックサイズデコーダ130は、ブロックサイズレジスタ120から出力される消去ブロックの大きさに対応したデータ（ブロックサイズデータ）pA0~pA7を、コマンドレジスタ110からの消去モード命令信号Scbによって入力し、このデータpA0~pA7をデコーディングし、デコーディングされた可変された消去ブロックの大きさに対応した情報BSiを出力する。ブロックアドレスレジスタ140は、外部からのロード信号ADLによって、外部からの消去するブロックのアドレスを入力して貯蔵し、さらにブロックサイズデコーダ130からの可変された消去ブロックの大きさに対応した情報BSiを入力して、メモセルアレイ400の可変された消去ブロックのアドレスを出力する。プリデコーダ150は、ブロックアドレスレジスタ140から出力された可変された消去ブロックのアドレスをプリデコーディングして、プリデコーディング信号をメインロウデコーダ200に出力する。

【0021】図3は、このような消去ブロックサイズ可変回路100中のブロックサイズレジスタ120の詳細回路図である。この図3を参照すると、ブロックサイズレジスタ120は、外部から印加されるロード信号DLDと各ブロックサイズデータBD0~BD7を各々入力する2進カウンタ121-0~121-7と、各2進カウンタ121-1~121-7の各出力を反転させ、ブロックサイズに対応したデータpA0~pA7を出力するためのインバータ122-0~122-7で構成される。

【0022】このブロックサイズレジスタ120は、外部から印加されるロード信号DLDによって、外部から印加されるブロックサイズデータBD0~BD7を貯蔵し、ブロックサイズに対応したデータpA0~pA7を出力する。

【0023】図4は、消去ブロックサイズ可変回路10

0中のブロックサイズデコーダ130の詳細回路図である。このブロックサイズデコーダ130は、コマンドレジスタ110から印加される消去モード命令信号Scbに従ってブロックサイズレジスタ120から印加されるブロックサイズデータpA0~pA7及びそれらの相補データを入力してデコーディングする。このブロックサイズデコーダ130は、コマンドレジスタ110から消去モード命令信号Scbが印加されると、ブロックサイズレジスタ120からブロックサイズデータpA0~pA7を入力し、ブロックサイズデータpA0~pA7をデコーディングして、消去ブロックサイズに対応したデコーディング信号BS0~BS255を発生する複数（具体的には256個）のデコーディング手段131-0~131-255からなる。

【0024】各デコーディング手段131-0~131-255は、ブロックサイズに対応したデータ中、下位4ビットのデータpA0~pA3あるいはそれらの相補データを入力する第1ナンドゲート131と、ブロックサイズに対応したデータ中、上位4ビットのデータpA4~pA7あるいはそれらの相補データを入力する第2ナンドゲート132と、コマンドレジスタ110からの消去モード命令信号Scbを反転させる第1反転ゲート（NOTゲート）133と、第1ナンドゲート131、第2ナンドゲート132及び第1反転ゲート133の出力を入力する第1ノアゲート134と、この第1ノアゲート134の出力と次の段のデコーディング手段131-1~131-255のデコーディング信号BS1~BSiを入力する第2ノアゲート135と、この第2ノアゲート135の出力を反転させ、消去ブロックサイズに対応したデコーディング信号BS0~BS255を出力する第2反転ゲート136で構成される。

【0025】このような構成のブロックサイズデコーダ130は、コマンドレジスタ110から消去モード命令信号Scbが印加されると、消去ブロックサイズに対応したデコーディング信号BS0~BS255を出力する。すなわち、ブロックサイズレジスタ120から‘00h’のブロックサイズデータが入力されると、全てのデコーディング信号BS0~BS255がロー状態になる。一方、ブロックサイズデータが‘01h’であると、デコーディング信号のうちBS0が、ブロックサイズデータが‘02h’であると、デコーディング信号BS0とBS1が、ブロックサイズデータが‘03h’であると、デコーディング信号BS0~BS2が、ブロックサイズデータが‘04h’であると、デコーディング信号BS0~BS3が各々ロー状態からハイ状態に移移する。

【0026】図5は、消去ブロックサイズ可変回路100中のブロックアドレスレジスタ140の詳細回路図である。このブロックアドレスレジスタ140は、外部から印加される消去ブロックアドレス信号BA0~BA2

55を、外部から印加されるアドレスロード信号ADLによって貯蔵し、ブロックサイズデコーダ130からのデコーディング信号BS0~BS255による消去ブロックアドレス信号A0, A0バー~A255, A255バーを出力する。このブロックアドレスレジスタ140は、消去ブロックアドレスを貯蔵するための複数(具体的には、256個)のレジスタ手段140-0~140-255からなる。各レジスタ手段140-0~140-255は、消去ブロックアドレス信号BA0~BA255の各々を外部から印加されるアドレスロード信号ADLによって入力する2進カウンタ141と、この2進カウンタ141の出力を反転させるための第1反転ゲート142と、この第1反転ゲート142の出力とブロックサイズデコーダ130からのデコーディング信号BSiを入力する第1ノアゲート143と、前記2進カウンタ141の出力とブロックサイズデコーダ130からのデコーディング信号BSiを入力する第2ノアゲート144と、前記第1ノアゲート143と第2ノアゲート144の出力を各々反転させ、消去ブロックアドレス信号Aiと反転消去ブロックアドレス信号Aiバーを出力する第3反転ゲート145と第4反転ゲート146で構成される。

【0027】このようなブロックアドレスレジスタ140の動作を見ると、ブロックサイズデコーダ130から全てロー状態のデコーディング信号BS0~BS255が印加されると、ブロックアドレスレジスタ140の出力中、A0~A255バーは全てロー状態になる。一方、デコーディング信号中、BS0だけがハイ状態に出力された場合は、入力アドレス信号BA0~BA255に関係なしに、デコーディング信号BS0によって出力アドレス信号A0, A0バーが全てハイ状態になる。また、デコーディング信号中、BS0, BS1がハイ状態に出力された場合は、アドレス信号A0, A0バー, A1, A1バーが全てハイ状態になり、デコーディング信号中、BS0~BS2がハイ状態に出力された場合は、アドレス信号A0, A0バー~A2, A2バーが全てハイ状態になる。このようにデコーディング信号BS0~BS255によって、ブロックアドレスレジスタ140から該当するアドレス信号がハイ状態に出力される。

【0028】図6は、消去ブロックサイズ可変回路100中のプリデコーダ150の詳細回路図である。この図6を参照すると、プリデコーダ150は、ブロックアドレスレジスタ140から出力されるアドレス信号中、下位3ビットのアドレス信号A0, A1, A2を入力してプリデコーディングする。図6に示されるように、プリデコーダ150は、プリデコーディング信号P0~P7をメインロウデコーダ200に出力するプリデコーディング手段150-0~150-7を有する。

【0029】各プリデコーディング手段150-0~150-7は、ブロックアドレスレジスタ140から出力

されるアドレス信号中、下位3ビットのアドレス信号A0, A1, A2あるいはそれらの相補アドレス信号を入力してナンド論理し、ナンド論理した値をインバータ152を介してプリデコーディング信号P0~P7としてメインロウデコーダ200に出力するナンドゲート151で構成される。図6はプリデコーディング信号Piに対するプリデコーダであるが、プリデコーディング信号Qi及びRiに対するプリデコーダも同一に構成される。

【0030】そして、このようなプリデコーダ150からプリデコーディング信号Pi, Qi, Riはメインロウデコーダ200に印加され、メインロウデコーダ200はプリデコーディング信号Pi, Qi, Riによってメモセルアレイ400の複数のメモリブロック中、該当するブロックを選択する。

【0031】以上のように、ブロックサイズ変更モードのためのコマンド信号6Chが外部から印加されると、コマンドレジスタ110からの消去モード命令信号Scbがロー状態からハイ状態に遷移される。つづいて、消去されなければならないブロックサイズに対応したデータとブロックアドレスが各々ブロックサイズレジスタ120及びブロックアドレスレジスタ140に印加される。そして、ブロックサイズレジスタ120に入力されたブロックサイズデータが'00h'であると、ブロックサイズデコーダ130の出力BS0~BS255が全てロー状態に維持され、ブロックサイズデータが'01h'であると、ブロックサイズデコーダ130の出力BS0がハイ状態に遷移され、ブロックサイズデータが'02h'であるとブロックサイズデコーダ130の出力BS0, BS1がローからハイ状態に遷移される。

【0032】ブロックアドレスレジスタ140の出力はプリデコーダ150によってプリデコーディングされ、選択されたワードラインを活性化させるようになる。この時、ブロックサイズに対応したデータをデコーディングするブロックサイズデコーダ130のデコーディング出力BS0~BS255が全てロー状態であると、入力されたブロックアドレスによってプリデコーダ150の出力中、一つだけがロー状態からハイ状態に遷移される。また、ブロックサイズデータのデコーディング出力BS1がハイ状態であると、入力されたブロックアドレス中、反転及び非反転出力A0バー, A0が全てハイ状態になり、プリデコーダ150の出力P0とP1, P2とP3, P4とP5、あるいはP6とP7が同時にロー状態からハイ状態に遷移される。

【0033】又、入力されたブロックサイズデータのデコーディング出力BS0とBS1がハイ状態であると、入力されたブロックアドレス中、最下位ビットの反転出力A0バー及び非反転出力A0とその次の最下位ビットの反転出力A1バー及び非反転出力A1が全てハイ状態になって、プリデコーダ150の出力P0~P3あるい

はP4～P7が同時にロー状態からハイ状態に移移される。このように、入力されたブロックサイズに対応したデータによって活性化されるブロックアドレスプリデコーダの数が変わるようになり、これによって選択されるメモリブロックの数も変わるようになる。

【0034】そして、このような方法によるメモリブロックの選択動作が成立すると、メモリセルに対する消去動作のためのコマンドD0hが入力され、メモリセルに対する消去動作が遂行されると、入力されたブロックサイズデータによって選択されたメモリブロックの全てのセルが同時に消去されるようになる。

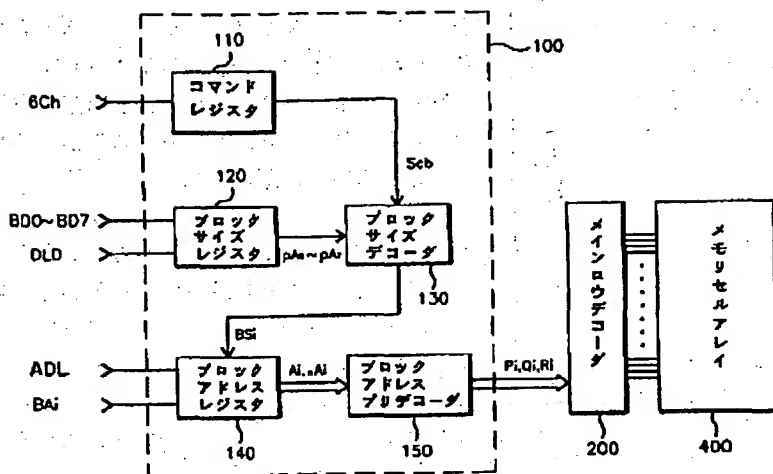
【0035】

【発明の効果】このように本発明によれば、設計する時、既に定められた消去ブロックの大きさを可変させることができる可変回路を具備し、外部から入力されるデータによって不揮発性半導体メモリ装置の同時に消去されるメモリセルの数を減らすことができるようにしたので、多くの量のデータを一時に消去することができ、これによって半導体メモリ素子の能力を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による消去ブロックサイズ

【図1】



を可変させることができる半導体メモリ装置のブロック図。

【図2】図1の半導体メモリ装置におけるメインロウデコーダ及びメモリセルアレイの詳細回路図。

【図3】図1の半導体メモリ装置におけるブロックサイズレジスタの詳細回路図。

【図4】図1の半導体メモリ装置におけるブロックサイズデコーダの詳細回路図。

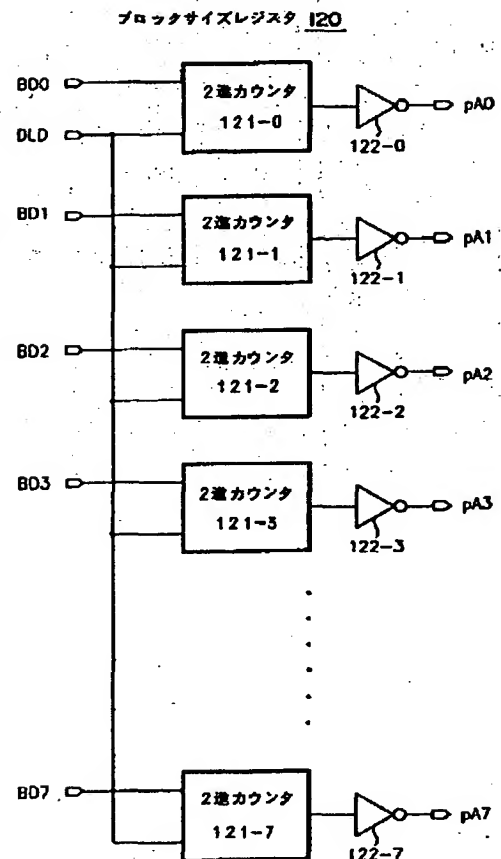
【図5】図1の半導体メモリ装置におけるブロックアドレスレジスタの詳細回路図。

【図6】図1の半導体メモリ装置におけるブロックアドレスプリデコーダの詳細回路図。

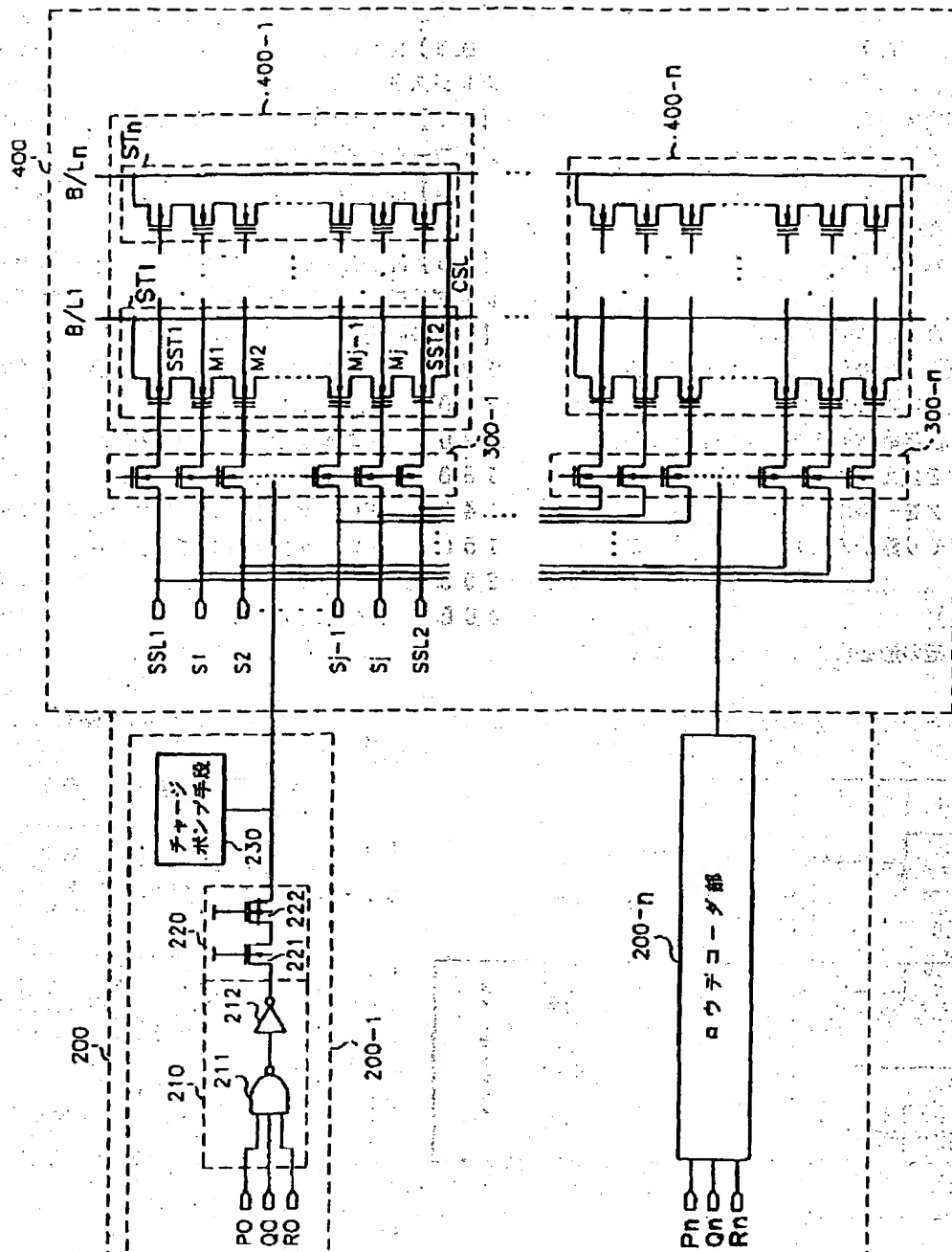
【符号の説明】

- 100 消去ブロックサイズ可変回路
- 110 コマンドレジスタ
- 120 ブロックサイズレジスタ
- 130 ブロックサイズデコーダ
- 140 ブロックアドレスレジスタ
- 150 ブロックアドレスプリデコーダ
- 200 メインロウデコーダ
- 400 メモリセルアレイ

【図3】

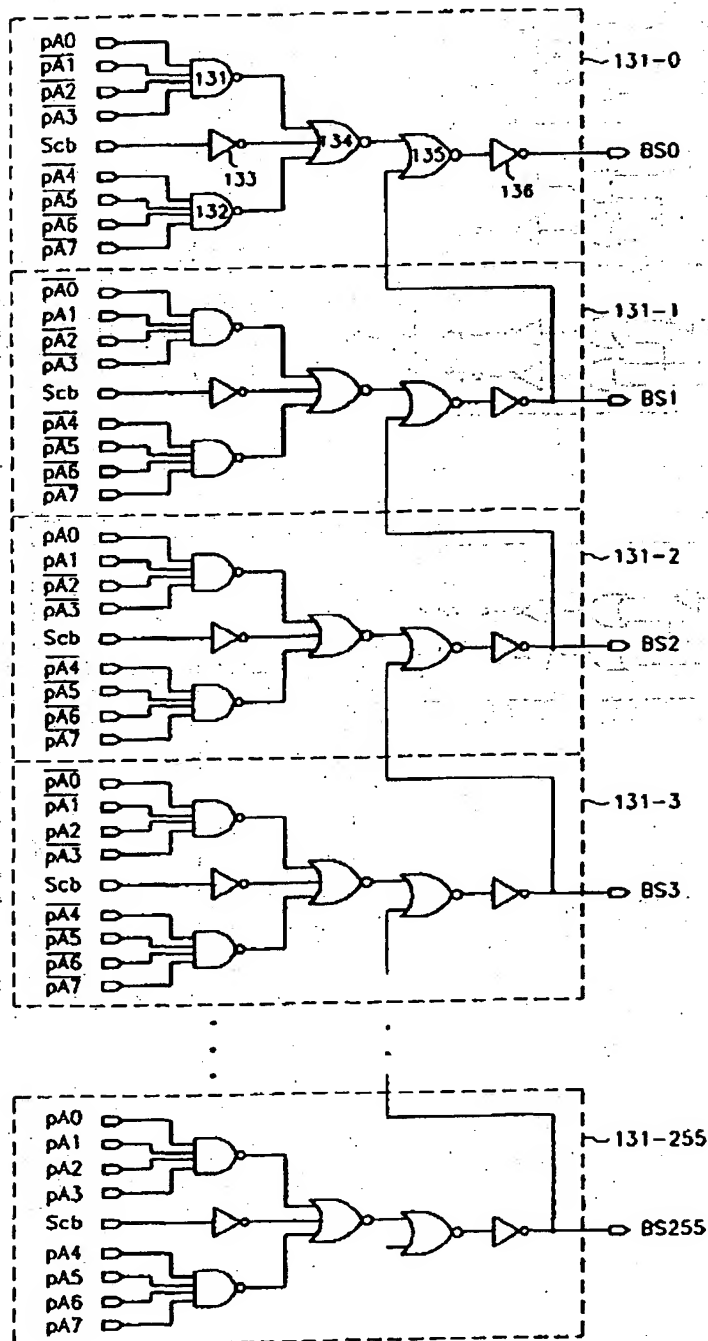


【図2】



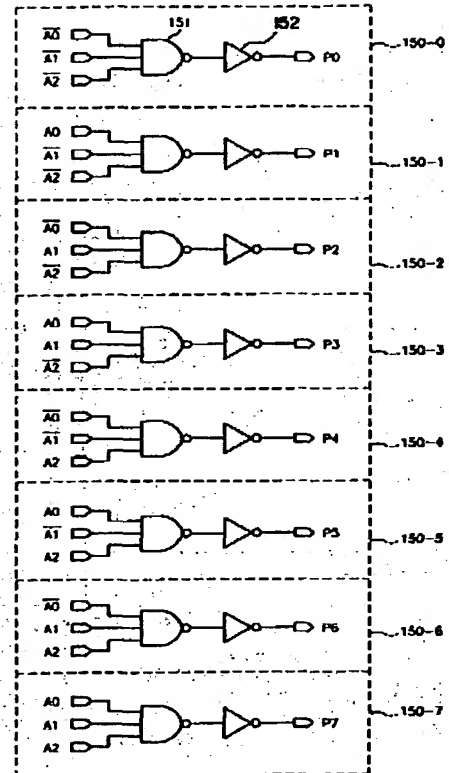
【図4】

ブロックサイズデコーダ 130



【図6】

ブロックアドレスプリデコーダ 150



【図5】

プロッタアドレスレジスタ 140

